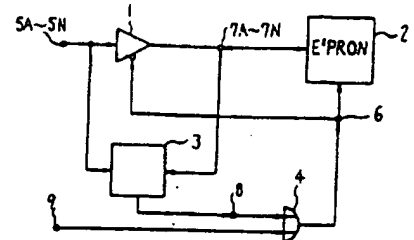


**(54) WRITING CIRCUIT TO E<sup>2</sup>PROM**

(11) 3-283093 (A) (43) 13.12.1991 (19) JP  
 (21) Appl. No. 2-82648 (22) 29.3.1990  
 (71) NEC CORP (72) MASUMI TAKEUCHI  
 (51) Int. Cl.<sup>3</sup> G11C16/06

**PURPOSE:** To reduce the number of times for writing data to the E<sup>2</sup>PROM by providing a circuit which inhibits the writing automatically when writing the data of the same contents while comparing the holding data of the E<sup>2</sup>PROM with input data.

**CONSTITUTION:** A data bit and a write enable signal are inputted from an external part to a buffer circuit 1, and the data bit is outputted as the writing data when the write enable signal is turned on. The E<sup>2</sup>PROM 2 writes the data bit to an internal memory when the write enable signal is turned on, reads out and outputs the holding data bit of the internal memory when the write enable signal is turned off. A comparator 3 compares the data bit with the holding data bit to be outputted from the E<sup>2</sup>PROM 2, and when they are coincident, the write inhibit signal is turned on and outputted. In a gate 4, the write instruction signal to be inputted from the external part is outputted as the write enable signal only when the write inhibit signal is turned off. Thus, the number of times for writing data to the E<sup>2</sup>PROM can be reduced.



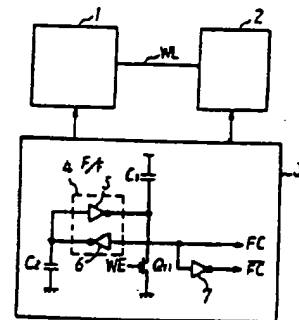
5A-5H, 6, 7A-7N, 8, 9: terminals

**(54) SEMICONDUCTOR MEMORY**

(11) 3-283094 (A) (43) 13.12.1991 (19) JP  
 (21) Appl. No. 2-82676 (22) 29.3.1990  
 (71) NEC CORP (72) TAKASHI YAMAGUCHI  
 (51) Int. Cl.<sup>3</sup> G11C16/06

**PURPOSE:** To unnecessitate a flash clear external input terminal and to improve the versatility by providing a flash clear circuit which can write "0" information in to all memory cells before the first writing operation starts after a power source is turned on.

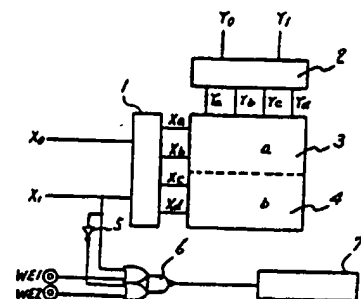
**CONSTITUTION:** A row decoder drives a word line by an address input. In a cell array part 2, the respective memory cells are connected to the word line WL, and a flip-flop circuit 4 stores the state whether the first writing operation starts or not after the power source is turned on. A flash clear signal generation circuit 3 can write "0" information to all the memory cells of the cell array part 2 by the output of the flip-flop circuit 4. After the first writing operation starts, a normal reading/writing operation is performed. Thus, the flash clear external input terminal is not required and the versatility can be improved.

**(54) STORAGE DEVICE**

(11) 3-283095 (A) (43) 13.12.1991 (19) JP  
 (21) Appl. No. 2-82774 (22) 29.3.1990  
 (71) NEC CORP (72) HIDEKI SATO  
 (51) Int. Cl.<sup>3</sup> G11C16/06

**PURPOSE:** To prevent erroneous writing from occurring only in a specified area even when malfunction occurs by noise, etc., by dividing a memory and allocating a write permit signal to each divided memory.

**CONSTITUTION:** Address signals  $X_0$ ,  $X_1$ ,  $Y_0$ , and  $Y_1$  are decoded by an X decoder 1 and a Y decoder 2. One line is selected respectively from X word lines  $X_0 \sim X_3$  and Y word lines  $Y_0 \sim Y_3$ . Then, arbitrary memories 3 and 4 are chosen. Write permit signals  $WE_1$  and  $WE_2$  to be impressed from an external terminal, one of address signals, the forward and backward signals of the  $X_1$ , construct a composite gate 6. The output of this composite gate 6 is turned to "L" only in the two combination of  $X_1 = "H"$  and  $WE_2 = "H"$ , and  $X_1 = "L"$  and  $WE_1 = "H"$ . By using this output as a write inhibit signal when it is "H", the time of  $X_1 = "H"$ ,  $WE_2$  is the write permit signal and at the time of  $X_1 = "L"$ , the  $WE_1$  is the write permit signal. Thus, even when the malfunction is generated by the noise or the like, the erroneous writing does not occur only in the specific



⑩ 日本国特許庁(JP)

⑪ 特許出願公開

② 公開特許公報(A) 平3-283094

⑤ Int.Cl.<sup>3</sup>

識別記号

庁内整理番号

④ 公開 平成3年(1991)12月13日

G 11 C 16/06

8522-5L G 11 C 17/00

3 0 9 C

審査請求 未請求 請求項の数 2 (全4頁)

④ 発明の名称 半導体メモリ

⑥ 特 願 平2-82676

⑥ 出 願 平2(1990)3月29日

⑦ 発 明 者 山 口 孝 志 東京都港区芝5丁目33番1号 日本電気株式会社内

⑦ 出 願 人 日本電気株式会社 東京都港区芝5丁目7番1号

⑧ 代 理 人 弁理士 内 原 晋

明 細 書

きるようにしたことを特徴とする半導体メモリ。

1 発明の名称

半導体メモリ

2 特許請求の範囲

1. アドレス入力によりワード線を駆動するロウデコードと、前記ワード線に各メモリセルが接続されたセルアレイ部と、電線投入後最初の書き込み動作が始まったか否かの状態を記憶するフリップフロップ回路を備え且つ前記フリップフロップ回路の出力により前記セルアレイ部のメモリセル全てに「0」情報を書き込むことのできるフラッシュメモリ信号発生回路とを有し、最初の書き込み動作が始まった後は通常の読み出しまたは書き込み動作を実施することを特徴とする半導体メモリ。

2. 請求項1記載のフラッシュメモリ信号発生回路にフェーズ回路を付加し、前記フェーズの切断によりフラッシュメモリ回路の有無を選択て

3 発明の詳細な説明

(産業上の利用分野)

本発明は半導体メモリに関し、特にフラッシュメモリ信号発生回路を有する半導体メモリに関する。

(従来の技術)

従来、かかる半導体メモリにおいては、電線投入後メモリセル全てに「0」情報を書き込み、しかる後書き込みを行なっている。このためには、外部入力端子を有するフラッシュメモリ信号発生回路を用い、「0」情報の書き込みを行なり必要がある。

第4図はかかる従来の一例を示す半導体メモリのブロック図である。

第4図に示すように、かかる半導体メモリは、アドレスを入力とするNAND回路9とPチャネル型MOSFET  $Q_1 \sim Q_2$ 、およびNチャネル型MOSFET  $Q_3 \sim Q_4$ 、とを有するロウデコード1と、

このロウデコード1にワード線WLで接続され且つメモリセル(MC)10とPチャネル型MOSFET $Q_7, Q_8, Q_9$ 、およびNチャネル型MOSFET $Q_{10}$ とを有するセルアレイ部2と、インバータ11, 12を有し、フラッシュトリガ入力信号Fを入力して正相および反転信号を作成するフラッシュトリガ信号発生回路3Aとで構成される。尚、 $\overline{XE}$ はロウデコード1の活性化信号、 $FC, \overline{FC}$ は共にフラッシュトリガ内部信号、 $BL, \overline{BL}$ はビット線を表わす。

次に、かかるフラッシュ信号発生回路3Aを中心とした半導体メモリの回路動作について説明する。

フラッシュトリガ入力信号Fが「0」から「1」レベルに変化すると、フラッシュトリガ信号発生回路3Aのインバータ11の出力であるフラッシュトリガ内部信号 $\overline{FC}$ は「1」から「0」レベルに変化し、またインバータ12の出力であるフラッシュトリガ内部信号 $FC$ は「0」から「1」レベルに変化する。この内部信号 $\overline{FC}$ が「0」レベ

ルにあるため、ロウデコード1のNチャネル型MOSFET $Q_{10}$ はオン、 $Q_7, Q_8$ はオフする。従って、アドレス入力およびロウデコード1の活性化信号 $\overline{XE}$ のレベルにかかわらず、ワード線WLは強制的に「1」レベルになる。また、 $FC$ が「1」レベル、 $\overline{FC}$ が「0」レベルにあるため、セルアレイ部2のPチャネル型MOSFET $Q_7, Q_8$ はオフ、NおよびPチャネル型MOSFET $Q_9, Q_{10}$ はオンする。従って、ビット線 $BL$ は「0」レベル、 $\overline{BL}$ は「1」レベルになり、メモリセル10に「0」情報が書き込まれる。

上述したように、フラッシュトリガ入力信号Fを「1」レベルにすることにより、全メモリセル10に「0」情報を書き込むことが可能である。(発明が解決しようとする課題)

上述した従来の半導体メモリは、全メモリセルに情報「0」を書き込むためのフラッシュトリガ回路にはフラッシュトリガ外部入力端子を設けなければならないので、汎用性がないという欠点がある。

本発明の目的は、かかるフラッシュトリガ外部入力端子を新たに必要とすることのない半導体メモリを提供することにある。

(課題を解決するための手段)

本発明の半導体メモリは、アドレス入力によりワード線を駆動するロウデコードと、前記ワード線に各メモリセルが接続されたセルアレイ部と、電源投入後最初の書き込み動作が始まったか否かの状態を記憶するフリップフロップ回路を備え且つ前記フリップフロップ回路の出力により前記セルアレイ部のメモリセル全てに「0」情報を書き込むことのできるフラッシュトリガ信号発生回路とを有し、最初の書き込み動作が始まった後は通常の読み出しまたは書き込み動作を実施するように構成される。

(実施例)

次に、本発明の実施例について図面を参照して説明する。

第1図は本発明の第一の実施例を示す半導体メモリの回路図である。

第1図に示すように、本実施例において、ロウデコード1及びセルアレイ部2は前述した第4図に示す従来例と同一であり、相違する点はフラッシュトリガ信号発生回路3の構成にある。すなわち、本実施例のフラッシュトリガ信号発生回路3はインバータ5, 6からなるフリップフロップ回路( $F/F$ )4と、反転信号を作成するインバータ7と、書き込み制御信号 $WE$ をゲート入力とするNチャネル型MOSFET $Q_{11}$ と、容量素子 $C_1$ 及び $C_2$ とで構成されている。特に、書き込み制御信号 $WE$ が「0」レベルの状態では電源が投入された場合は、必ずフラッシュトリガ内部信号 $\overline{FC}$ が「1」レベルとなるようにフリップフロップ回路4を構成するインバータ5, 6のトランジスタサイズを調整している。また、容量素子 $C_1, C_2$ はレベル安定のためのカップリング容量である。一方、書き込み制御信号 $WE$ が「1」レベルになると、 $Q_{11}$ がオンになり、フリップフロップ回路4を反転させるので、その出力である内部信号 $\overline{FC}$ は「0」レベルになる。

第2図は第1図におけるフラッシュメモリ信号波形図である。

第2図に示すように、ここではフラッシュメモリ動作タイミングと、通常の書き込み又は読み出しタイミングとに分けている。

まず、書き込み制御外部端子( $\overline{WE}$ : 図示省略)を「1」レベルのまま電源 $V_{CC}$ を投入すると、図示していない書き込み制御回路の出力 $WE$ は「0」レベルのままであるので、フラッシュメモリ内部信号 $PC, \overline{PC}$ はそれぞれ「1」レベルと「0」レベルになる。この状態においては、前述した従来例の説明と同様に、ワード線 $WL$ を強制的に「1」レベルビット線 $BL$ を「0」レベル、ビット線 $BL$ を「1」レベルにするので、メモリセル10(第4図参照)に「0」情報が書き込まれる。従って、電源投入後、全メモリセルに「0」情報が書き込まれる。

次に、書き込み制御外部端子( $\overline{WE}$ )が「1」から「0」レベルへ変化し最初の書き込み動作が始まると、書き込み制御信号 $WE$ は「1」レベルと

なり、Nチャネル型MOSFET  $Q_{11}$ がオンするため、インバータ5, 6で構成されるフリップフロップ回路4が反転し、フラッシュメモリ内部信号 $PC, \overline{PC}$ がそれぞれ「0」レベルと「1」レベルになる。従って、フラッシュメモリ機能が終了する。以下、書き込み制御外部端子( $\overline{WE}$ )のレベルにかかわらず、 $PC, \overline{PC}$ はそれぞれ「0」レベルと「1」レベルを維持し続けるので、通常の書き込みまたは読み出し動作(タイミング)が可能となる。

第3図は本発明の第二の実施例を説明するための半導体メモリにおけるフラッシュメモリ信号発生回路図である。

第3図に示すように、本実施例において、ロウデコード1およびセルアレイ部2は前述した第一の実施例と同様に第4図で説明した従来例と同じであるので、その説明を省略する。また、第一の実施例を示す第1図との相違点はフラッシュメモリ信号発生回路3を構成するため、フェーズ $FU$ 、インバータ8及びNチャネル型MOSFET

$Q_{12}, Q_{13}$ を追加したことにある。

次に、かかるフラッシュメモリ信号発生回路3の動作について説明する。

まず、フェーズ $FU$ が切断されていない場合はNチャネル型MOSFET  $Q_{12}$ 及び $Q_{13}$ が共にオフ状態を維持し続けるので、この第3図に示すフラッシュメモリ回路3の動作は第1図に示す回路と全く同じになる。一方、フェーズ $FU$ が切断された場合はNチャネル型MOSFET  $Q_{12}$ 及び $Q_{13}$ が共にオン状態を維持し続けるため、電源投入後の書き込み制御信号 $WE$ のレベルにかかわらず、フラッシュメモリ信号 $PC$ と $\overline{PC}$ はそれぞれ「0」レベルと「1」レベルを維持し続け、フラッシュメモリ機能が働かない。すなわち、フェーズ $FU$ を切断することにより、フラッシュメモリ機能を無しにすることができる。要するに、本実施例では前述した第一の実施例と比較し、半導体メモリの製造後フェーズ $FU$ を切断するか否かにより、フラッシュメモリ機能の有無を選択することができるという利点がある。

#### (発明の効果)

以上説明したように、本発明の半導体メモリは、電源投入後の最初の書き込み動作が始まる前に、全メモリセルに「0」情報を書き込むことの可能なフラッシュメモリ回路を有することにより、フラッシュメモリ外部入力端子を設ける必要がなく、汎用性のあるフラッシュメモリ機能を実現できるという効果がある。

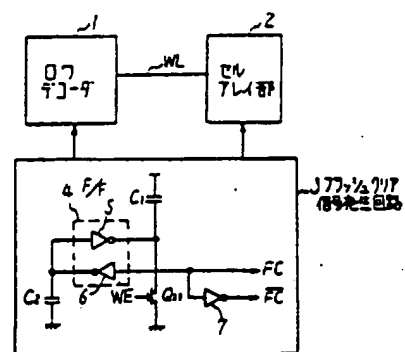
#### 6. 図面の簡単な説明

第1図は本発明の第一の実施例を示す半導体メモリの回路図、第2図は第1図におけるフラッシュメモリ信号波形図、第3図は本発明の第二の実施例を説明するための半導体メモリにおけるフラッシュメモリ信号発生回路図、第4図は従来の一例を示す半導体メモリの回路図である。

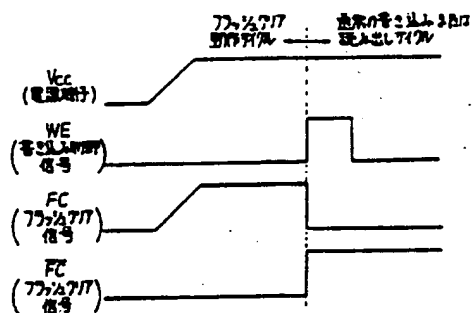
1…ロウデコード、2…セルアレイ部、3…フラッシュメモリ信号発生回路、4…フリップフロップ回路( $F/F$ )、5-8…インバータ、9…NAND回路、10…メモリセル、P…フラッシュ

クリア入力信号、 $\overline{PC}$ ,  $\overline{FC}$  …フラッシュクリア内  
 部信号、 $\overline{XE}$  …ロウデコーダ活性化信号、WL…  
 ワード線、BL,  $\overline{BL}$  …ビット線、WE…書き込み  
 制御信号、 $Q_1 \sim Q_{13}$  …MOSFET、 $C_1, C_2$  …容  
 量素子。

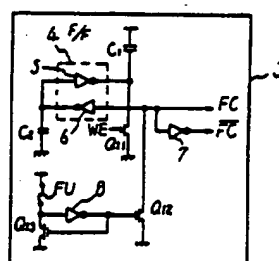
代理人 乔理士 因 具 管



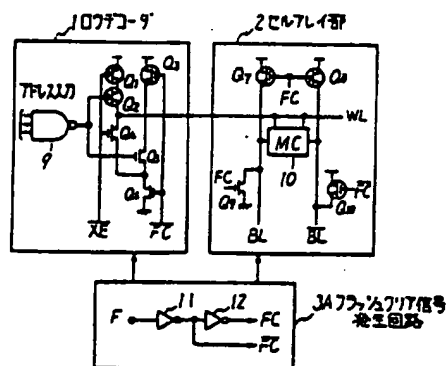
四一五



第 2 回



馬 丁 氏



第 4 回

**This Page is Inserted by IFW Indexing and Scanning  
Operations and is not part of the Official Record**

**BEST AVAILABLE IMAGES**

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- ☐ **BLACK BORDERS**
- ☐ **IMAGE CUT OFF AT TOP, BOTTOM OR SIDES**
- ☐ **FADED TEXT OR DRAWING**
- ☐ **BLURRED OR ILLEGIBLE TEXT OR DRAWING**
- ☐ **SKEWED/SLANTED IMAGES**
- ☐ **COLOR OR BLACK AND WHITE PHOTOGRAPHS**
- ☐ **GRAY SCALE DOCUMENTS**
- ☐ **LINES OR MARKS ON ORIGINAL DOCUMENT**
- ☐ **REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY**
- ☐ **OTHER:** \_\_\_\_\_

**IMAGES ARE BEST AVAILABLE COPY.**

**As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.**